

AVALIAÇÃO DA RELAÇÃO ENTRE A CAPACIDADE DE BUFFERS DE ENTRADA EM ROTEADORES E A TAXA DE SUCESSO NO TRÁFEGO DE UMA REDE DE COMUNICAÇÃO INTRACHIP

ASSESSMENT OF A RELATIONSHIP BETWEEN THE INPUT BUFFERS CAPACITY IN ROUTERS AND THE RATE OF SUCCESS IN INTRACHIP COMMUNICATION NETWORK TRAFFIC

Marcelo Henry Kato da Fonseca ¹
Vitor Luis Campagnucci ²
Ricardo Pires ³
Martha Johanna Sepúlveda Florez ⁴
Marius Strum ⁵

Data de entrega dos originais à redação em: 16/12/2014
e recebido para diagramação em: 20/05/2015.

Sistemas eletrônicos digitais implementados como circuitos integrados (chips) agrupam vários componentes num só encapsulamento. Recentemente, o grande aumento no número destes componentes levou à adoção da comunicação entre eles por meio de uma rede intrachip, constituída por roteadores interligados, pela qual trafegam pacotes que carregam mensagens de um componente a outro. Cada roteador armazena em buffers os pacotes entrantes, para tratá-los mais tarde, enquanto encaminha um pacote previamente recebido à saída apropriada. Quanto maior for a capacidade destes buffers, menos frequentemente pacotes serão recusados às entradas do roteador, mas maior será a área ocupada por eles no sistema. Este trabalho consiste na avaliação quantitativa da relação entre a capacidade daqueles buffers, a taxa de injeção de pacotes na rede e a taxa de sucesso no tráfego numa rede de comunicação intrachip descrita na linguagem SystemC.

Palavras-chave: Redes Intrachip. Roteadores. Buffers. Sistemas Integrados.

Digital electronic systems implemented as integrated circuits (chips) comprise several components into a single package. Recently, the large increase in the number of these components has led to the adoption of communication among them by means of an intrachip network comprised of interconnected routers, in which packages carry messages from each component to the others. Each router has input terminals, through which it receives packets and output terminals, through which the packages received are sent to other routers, towards their destinations. The bigger the capacity of these buffers, the less often packages will be refused in the router inputs, but the bigger is the area occupied by the routers in the system. This work consists of the assessment of the relationship among the capacity of these buffers, the packet injection rate and the success rate in the traffic in an intrachip network described in the SystemC language.

Keywords: Networks-on-Chip (NoCs). Routers. Buffers. Integrated Systems.

1 INTRODUÇÃO

Sistemas eletrônicos digitais implementados como circuitos integrados (chips) agrupam uma grande quantidade de componentes, tais como processadores, módulos de memória e módulos de entrada e de saída, num só encapsulamento. Tradicionalmente, a comunicação entre aqueles componentes é feita por meio de um barramento. Este consiste num conjunto de condutores elétricos paralelos, ao qual todos os componentes do sistema são diretamente conectados

(NULL; LOBUR, 2006). Quando dois componentes querem trocar dados entre si, os demais componentes do sistema devem se isolar eletricamente do barramento, para não interferir naquela comunicação. Com isto, apenas dois componentes podem se comunicar a cada instante, deixando outros componentes na espera pela liberação do barramento. A viabilidade do uso do barramento, portanto, diminui com o aumento no número de componentes conectados a ele. Para números grandes de componentes, os longos

1 Graduando no curso de Engenharia Eletrônica no Instituto Federal de Educação, Ciência e Tecnologia de São Paulo desde 2013, funcionário do Metrô de São Paulo. Desenvolve projeto de iniciação científica na modalidade voluntário.

2 Graduando no curso de Engenharia Eletrônica no Instituto Federal de Educação, Ciência e Tecnologia de São Paulo desde 2013. Desenvolve projeto de iniciação científica com bolsa institucional.

3 Professor na área de Eletrônica no Instituto Federal de Educação, Ciência e Tecnologia de São Paulo.

4 Doutora e Mestre em Engenharia Elétrica pela Universidade de São Paulo. Graduada em Engenharia Eletrônica pela Universidad Nacional de Colômbia.

5 Graduado em Engenharia Elétrica, licenciado em Matemática, mestre em Engenharia Elétrica, doutor em Engenharia Elétrica e livre-docente. Professor associado no Departamento de Sistemas Eletrônicos da Universidade de São Paulo.

tempos de espera pela sua disponibilidade prejudicam em muito o desempenho do sistema.

Com o contínuo e acelerado desenvolvimento tecnológico na Microeletrônica, o número de componentes complexos (microprocessadores, memórias etc.) integrados num único chip cresceu à ordem de dezenas e de centenas (HASELMAN; HAUCK, 2010). Com isto, recentemente, passou a ser usada, como alternativa ao barramento, a comunicação entre eles por meio de uma rede intrachip, constituída por roteadores interligados, pela qual trafegam pacotes que carregam mensagens entre os componentes (DALLY; TOWLES, 2001, ATIENZA et al., 2008). Como numa rede de computadores convencional, numa rede intrachip, cada roteador tem vários terminais de entrada, onde são recebidos os pacotes contendo informações enviadas de um módulo do sistema a um outro, e vários terminais de saída, pelos quais os pacotes recebidos são encaminhados a outros roteadores que estejam no caminho a ser seguido pelos pacotes até seus destinos (ASLAM; KUMAR; HOLSMARK, 2013). Com isto, ao contrário do que ocorre num sistema baseado em barramento, uma rede intrachip pode ter muitos pares de componentes se comunicando simultaneamente, sem a espera por disponibilidade característica do caso do barramento.

Frequentemente, enquanto ocorrem solicitações de inserção de pacotes num roteador, através de suas várias entradas, ele está ocupado em encaminhar um pacote previamente recebido à saída apropriada. Para se evitar que o roteador recuse pacotes às entradas devido ao fato de estar ocupado, é conveniente que cada entrada possua um *buffer*, o qual consiste num conjunto de registradores para armazenamento temporário de pacotes até que estes possam ser encaminhados aos seus destinos. A figura 1 mostra um exemplo esquemático de roteador

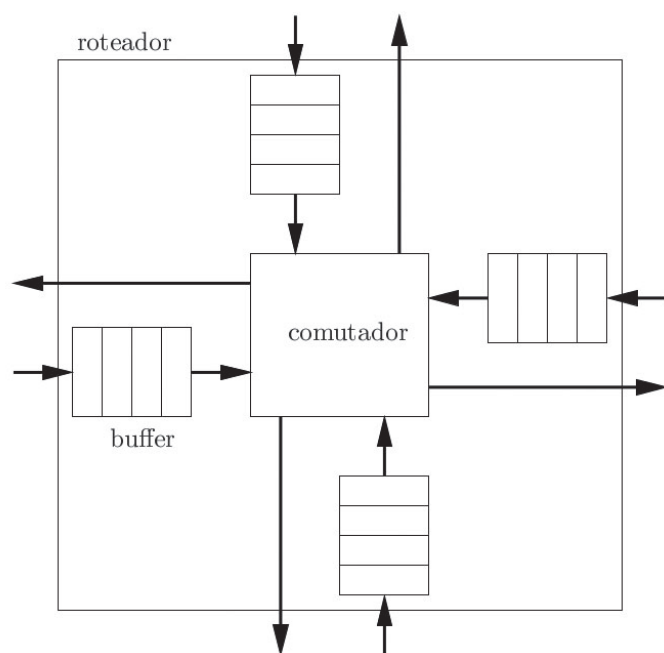


Figura 1 - Exemplo esquemático de roteador com quatro entradas, cada uma com um *buffer* com capacidade de quatro pacotes, e quatro saídas

com quatro entradas, cada uma com um *buffer* com capacidade de armazenar quatro pacotes, e quatro saídas. Quanto maiores forem estes *buffers*, em termos de número de pacotes que possam armazenar, menos frequentemente pacotes serão recusados às entradas do roteador, mas maior será a área ocupada pelo *buffer* no sistema (ZHANG et al., 2009, KUMAR et al., 2011). Assim, no projeto destes roteadores, deve-se buscar uma solução de compromisso entre tempos de espera e área ocupada. Na figura, vê-se que, além dos buffers, o roteador possui um módulo comutador, responsável por encaminhar o pacote recebido à saída que estiver no melhor caminho rumo ao seu destino.

Uma técnica consagrada de projeto de sistemas digitais consiste em se partir de uma especificação inicial em um nível comportamental, que permita a realização de simulações computacionais que verifiquem o comportamento desejado. Gradualmente, a descrição do sistema é refinada e novas simulações são realizadas, até que se chegue a uma especificação correspondente no nível físico, objetivando a fabricação do sistema. Uma forma de se fazer a especificação comportamental inicial é por meio da linguagem SystemC, a qual consiste em uma biblioteca para a linguagem C++ desenvolvida com esta finalidade (PANDA, 2001).

Em (ZHANG et al., 2009), usando-se simulações de uma rede intrachip em SystemC, é avaliada a relação entre a capacidade dos *buffers* de entrada e o tempo médio para que pacotes cheguem a seus destinos, mantendo-se fixa a intensidade do tráfego na rede. A conclusão daquele trabalho foi que, aumentando-se a capacidade dos *buffers* de entrada até um certo valor limite, o tempo médio para chegada é reduzido, mas que, continuando-se a aumentar a capacidade dos *buffers* além daquele valor limite, não há mais redução no tempo médio para chegada dos pacotes. Assim, para se obter um desempenho ótimo da rede sem desperdício de área no chip, aquele valor limite deve ser o adotado.

De forma similar, o objetivo deste trabalho é a avaliação da relação quantitativa entre a capacidade dos *buffers* de entrada nos roteadores e a taxa de sucesso numa rede de comunicação intrachip descrita na linguagem SystemC. Mas, aqui, diferentemente de (ZHANG et al., 2009), a intensidade do tráfego de pacotes é mais um parâmetro a ser variado nos experimentos. Para isto, foi criado um tipo de roteador parametrizável quanto à capacidade de seus *buffers* de entrada e foram criados geradores de tráfego parametrizáveis quanto a sua taxa de injeção de pacotes na rede. Exemplos de roteador parametrizável formam uma rede intrachip descrita em SystemC e, por meio de simulações, são obtidos os dados experimentais necessários. Neste trabalho, define-se a taxa de sucesso como sendo a razão entre o número de pacotes que chegaram a seus destinos e a soma deste número com o número de

pacotes perdidos no sistema simulado. Decidiu-se, arbitrariamente, que um pacote é perdido quando ele espera por mais de cinquenta ciclos de relógio para passar de qualquer módulo do sistema ao módulo seguinte em seu caminho rumo ao destino, caso em que é descartado.

2 DESENVOLVIMENTO

No desenvolvimento deste trabalho, usou-se uma rede intrachip descrita em SystemC, a qual segue um arranjo matricial, conforme a figura 2, contendo quatro linhas e quatro colunas de roteadores (indicados como R). Cada roteador está conectado a um processador (P) e a um módulo de memória (M).

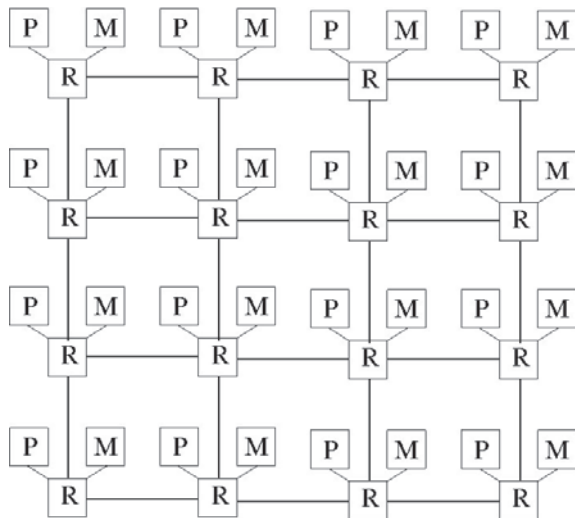


Figura 2 - Sistema usado nos experimentos. Os módulos indicados com M são de memória, com P são processadores e com R são roteadores

Os processadores aqui usados apenas geram tráfego aleatório de pacotes, já que o foco deste trabalho está na avaliação da rede de comunicação e não no programa executado internamente pelos processadores. O sistema possui um sinal de relógio global, chamado *ck*. A cada subida de *ck*, cada processador sorteia internamente um número *n* entre 0 e 1, com distribuição de probabilidade uniforme neste intervalo. Se *n* for menor do que a taxa de injeção de pacotes configurada para o processador no sistema, o processador gera um pacote e o encaminha, por meio da rede, a um módulo de memória. Este módulo de memória de destino é sorteado pelo processador, sendo os 16 módulos presentes no sistema igualmente prováveis neste sorteio. A operação a ser realizada pelo processador no módulo de memória pode ser de leitura ou de escrita. Também é feito um sorteio equiprovável, pelo processador, dentre estas duas possibilidades. Se a operação for de escrita, um dado aleatório é enviado, dentro de um pacote, ao módulo de memória sorteado. Se a operação for de leitura, o processador solicita, por meio de um pacote, que

o módulo de memória lhe envie um dado cujo endereço foi sorteado pelo processador. Após iniciar uma operação de leitura, o processador aguarda pela chegada do dado solicitado, sem gerar novos pacotes. Se aquele dado não chegar em até 50 ciclos de *ck*, o processador desiste de esperá-lo e volta à fase de sorteio de pacotes.

Quando um pacote sai de um processador ou de um módulo de memória, ele passa a percorrer uma série de roteadores, até chegar a seu destino. Para o pacote poder passar de um roteador ao seguinte, deve haver uma vaga na *buffer* de entrada correspondente naquele roteador. Caso aquele *buffer* esteja cheio, o pacote deve esperar até a liberação de espaço nele. No sistema usado neste trabalho, se a espera for maior do que 50 ciclos de *ck*, o pacote é descartado e contabilizado como perdido.

Cada *buffer* de entrada de um roteador, normalmente, recebe pacotes de um outro roteador e os entrega ao comutador local. Como, em cada roteador, há vários *buffers* disputando o uso de um único comutador, é comum que, enquanto o comutador esteja encaminhando a uma saída um pacote recebido por um *buffer* de entrada, outros *buffers* do mesmo roteador estejam na espera, tornando-se cheios. Este efeito pode se propagar em cadeia a outros roteadores, levando uma região da rede ao congestionamento.

Cabe observar que, neste sistema, o roteamento dos pacotes é realizado pelos comutadores por meio de tabelas de roteamento fixas e que, para se restringir o número de variáveis do problema, a capacidade dos *buffers* de todas as entradas de todos os roteadores é a mesma, ao contrário do que ocorreu em (KUMAR et al., 2011), em que se buscou otimizar individualmente a capacidade de cada *buffer*, usando-se resultados de simulações.

Os experimentos consistiram em simulações em SystemC do sistema aqui descrito. Nelas, foram usados dez casos de capacidade de *buffers* de entrada, com valores indo de 10 a 100 pacotes, com incrementos de 10. Em cada simulação, todos os *buffers* do sistema tiveram capacidades iguais entre si. Foram usados cinco valores de taxa de injeção de dados: 10%, 20%, 30%, 40% e 50%, adotados uniformemente para todos os processadores do sistema. Portanto, houve conjuntos de 50 simulações, cada uma com uma combinação de capacidade de *buffer* versus taxa de injeção. Cada conjunto de 50 simulações foi realizado cinco vezes, variando-se o valor da semente do gerador de números aleatórios dos processadores entre simulações que usaram os mesmos parâmetros, para se obterem resultados mais confiáveis do ponto de vista estatístico do que se não houvesse repetições. Cada simulação durou 5000 ciclos de relógio.

3 RESULTADOS

Os resultados da taxa de sucesso média, em porcentagem, e do seu desvio padrão em relação à média são apresentados na tabela 1.

Tabela 1 - Taxa de sucesso média (em porcentagem) e seu desvio padrão na chegada de pacotes aos seus destinos em função da taxa de injeção de pacotes pelos processadores e da capacidade dos buffers de entrada nos roteadores

capacidade os buffers (pacotes)	taxa de sucesso (%)				
	taxa de injeção de pacotes				
	0,10	0,20	0,30	0,40	0,50
10	70,2±2,0	61,3±2,3	58,6±1,9	57,0±2,4	56,9±1,3
20	82,2±1,0	74,4±3,0	72,2±1,2	71,1±0,9	69,8±0,7
30	89,7±1,0	83,6±0,4	82,1±1,2	78,4±1,3	79,6±1,0
40	93,1±0,3	90,1±0,6	88,0±1,1	87,1±1,7	86,4±1,7
50	93,8±1,3	93,5±0,7	92,5±0,3	92,2±1,8	91,2±0,7
60	94,9±0,5	95,2±0,8	94,3±0,6	94,0±1,0	94,7±0,6
70	95,2±0,3	96,7±0,4	96,0±0,5	95,9±0,8	95,6±0,7
80	95,3±0,3	97,3±0,8	97,1±0,8	97,3±0,8	97,4±0,4
90	95,3±0,3	97,6±0,3	98,2±0,2	98,3±0,5	98,2±0,9
100	95,6±0,2	97,9±0,3	98,4±0,3	99,1±0,2	98,9±0,5

Na figura 3, vê-se que a função exponencial da expressão 1 se ajusta bem aos dados experimentais. A tabela 2 mostra a raiz do erro quadrático médio desta aproximação da taxa de sucesso para cada taxa de injeção.

Tabela 2 - Raiz do erro quadrático médio da aproximação exponencial da expressão 1

taxa de injeção de pacotes	raiz do erro quadrático médio
0,1	4,6 X 10 ⁻²
0,2	8,5 X 10 ⁻³
0,3	1,1 X 10 ⁻²
0,4	2,8 X 10 ⁻²
0,5	2,3 X 10 ⁻²

Os resultados mostram que, fixando-se o valor da taxa de injeção de pacotes (ou seja, restringindo-se a análise a uma única coluna qualquer da tabela), a taxa de sucesso aumenta continuamente com o aumento na capacidade dos buffers. Para qualquer um dos valores da taxa de injeção usados, vê-se que a taxa de sucesso supera os 95% quando a capacidade dos buffers é igual a 100, o máximo valor usado nos experimentos. Assim, pode-se supor que a taxa de sucesso tenda exponencialmente a 100% para a capacidade dos buffers tendendo ao infinito. Com isto, aparentemente, para uma taxa de injeção fixa, a relação entre a taxa de sucesso e a capacidade dos buffers é do tipo:

$$s = 1 - k_1 \cdot e^{-k_2 \cdot b} \quad (1)$$

em que s é a taxa de sucesso, k_1 e k_2 são constantes e b é a capacidade dos buffers. Para se testar esta hipótese, para cada valor de taxa de injeção, foram usados dois pares de valores de b e s , para a determinação de k_1 e de k_2 da expressão acima por meio de um sistema de duas equações e duas incógnitas. Neste procedimento, os valores escolhidos para b foram 30 e 60, para se ter pontos de interpolação a um terço e a dois terços do início da tabela, ou seja, bem distribuídos na faixa de valores usados para b . A figura 3 é o gráfico da relação entre s e b , para o caso particular em que a taxa de injeção vale 0,3. A linha azul corresponde aos dados experimentais e a linha verde é a curva traçada usando-se a expressão 1 com os valores de k_1 e de k_2 calculados para esta taxa de injeção. Curvas semelhantes foram obtidas para os demais casos de taxa de injeção. Há um par distinto de valores k_1 e k_2 para cada taxa de injeção usada nos experimentos.

Como quase todos os valores experimentais da taxa de sucesso (da tabela 1) estiveram entre 0,6 e 1,0, os erros na interpolação exponencial apresentados na tabela 2 foram relativamente pequenos. Isto é um indício de que a relação entre a taxa de sucesso e a capacidade dos buffers é bem modelada pela expressão 1.

Em seguida, avaliou-se a relação entre os valores das constantes k_1 e k_2 e a taxa de injeção de pacotes. Verificou-se que eles oscilaram sem um padrão simples, não sugerindo uma relação matemática usual como a do caso anterior.

Em sua forma geral, os dados da tabela 1 correspondem ao que se espera intuitivamente dos experimentos realizados. A taxa de sucesso tende a crescer com o aumento na capacidade dos buffers e

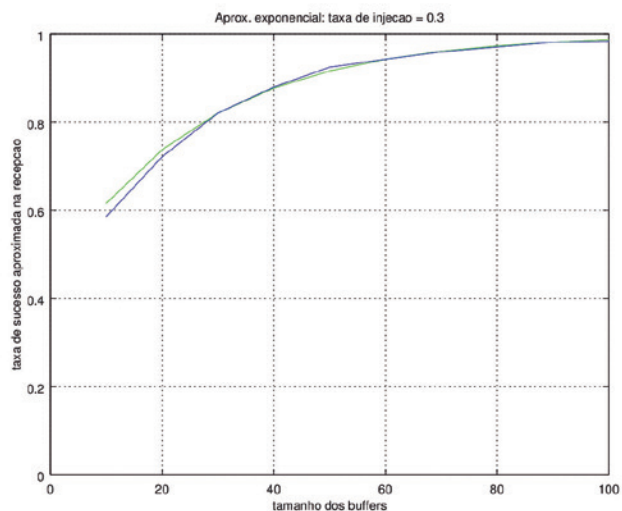


Figura 3 - Gráfico da relação entre a taxa de sucesso e a capacidade dos buffers, para a taxa de injeção fixa em 0,3. Linha azul: dados experimentais. Linha verde: interpolação por função exponencial.

tende a diminuir com o aumento na taxa de injeção. Mas, os resultados das últimas linhas da tabela 1 contrariam este princípio. Naquelas linhas, a taxa de sucesso está mais baixa quando a taxa de injeção também está mais baixa, embora se trate de resultados numericamente próximos entre si. Como estes resultados são a média de cinco séries de experimentos, eles não se devem simplesmente a oscilações aleatórias e devem ser investigados.

4 CONCLUSÃO E TRABALHOS FUTUROS

Dos resultados dos experimentos, conclui-se que, conforme o esperado, em geral, o aumento nas capacidades dos *buffers* de entrada de roteadores numa rede intrachip melhora a taxa de sucesso na chegada de pacotes. Porém, num projeto, o aumento daquela capacidade não deve ser usado indiscriminadamente, visto que os *buffers* ocupam área no chip proporcional a suas capacidades, mas pode ocorrer que aumentos de capacidade acima de um certo valor não tenham mais efeito benéfico no tráfego de pacotes. O dimensionamento dos *buffers* deve levar em conta as condições de tráfego previstas para a rede, o que dependerá da aplicação do sistema.

A relação entre a taxa de sucesso no tráfego de pacotes e a capacidade dos *buffers* é bem modelada como sendo do tipo exponencial tendendo a 100% para capacidade dos *buffers* tendendo ao infinito, para valores fixos de taxa de injeção de pacotes. Mas, não foi encontrada uma relação simples entre os valores dos parâmetros da função exponencial usada e a taxa de injeção.

Uma proposta de trabalho futuro é a inclusão, neste estudo, da mensuração da relação entre a capacidade dos *buffers* de entrada e a área ocupada por eles em chips, usando-se uma determinada tecnologia. Isto exigirá que o mesmo sistema aqui usado seja descrito de forma mais próxima à implementação física do que ocorre em descrições em SystemC.

REFERÊNCIAS

ASLAM, M.A.; KUMAR, S.; HOLSMARK, R.; An Efficient Router Architecture and Its FPGA. Prototyping to Support Junction Based

Routing in NoC Platforms, 2013. **Euromicro Conference on Digital System Design** - DSD, Proceedings of, pp. 297-300, Los Alamitos, CA, EUA, 4 a 6 de setembro, 2013

ATIENZA, D.; ANGIOLINI, F.; MURALI, S.; PULLINI, A.; BENINI, L.; DE MICHELI, G.; Network-On-Chip Design and Synthesis Outlook, Integration-**The VLSI Journal**, vol. 41, n.3, pp. 340-359, ISSN 0167-9260, 2008

DALLY, W.J.; TOWLES, B.; Route Packets, not Wires: On-Chip Interconnection Networks, **Design Automation Conference**, 2001. Proceedings, pp. 684-689, ISSN=0738-100X, 2001

HASELMAN, M.; HAUCK, S.; The Future of Integrated Circuits: a Survey of Nanoelectronics, **Proceedings of the IEEE**, vol.98, pp. 11-38, ISSN 0018-9219, EUA, janeiro de 2010

KUMAR, A.S.; KUMAR, M.P.; MURALI, S.; KAMAKOTI, V.; BENINI, L.; DE MICHELI, G., A Simulation Based Buffer Sizing Algorithm for Network on Chips, **Proceedings of IEEE Computer Society Annual Symposium on VLSI (ISVLSI)**, 2011, pp. 206-211, 4-6 de Julho de 2011. Disponível em: < <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5992481&isnumber=5992459> >.

NULL, L.; LOBUR, J.; **The Essentials of Computer Organization and Architecture**, Jones and Bartlett Publishers, Inc., ISBN 0763737690, EUA, 2006

PANDA, P.R.; SystemC: A Modeling Platform Supporting Multiple Design Abstractions, **Proceedings of the 14th International Symposium on Systems Synthesis**, Montreal, Canada, pp. 75-80, ISBN 1-58113-418-5, ACM, New York, EUA, 2001

ZHANG, W.; WU, W.; ZUO, L.; PENG, X.; The Buffer Depth Analysis of 2-Dimension Mesh Topology Network-on-Chip with Odd-Even Routing Algorithm, **International Conference on Information Engineering and Computer Science, IEEE**, dezembro de 2009. Disponível em: < <http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=5363412&isnumber=5362514> >.